
所 属 : 情報科学研究科 システム工学専攻 通信・信号処理研究室

職・氏名 : 助 教 辻 勝弘

U R L : <http://rsw.office.hiroshima-cu.ac.jp/Profiles/1/0000053/profile.html>

研究キーワード : 半導体デバイス、集積回路、デバイスモデリング

■研究テーマ

① テーマ：デバイス測定とその評価技術

概要：しきい値電圧、実効チャネル長等のデバイスパラメータの値は、回路シミュレーションでは重要な意味を持ちます。よって、パラメータの値の物理的な意味が失われないように抽出を行う必要があります。本研究では、電流電圧特性だけではなく、実測に基づくコンダクタンスやキャパシタンス特性からもパラメータ抽出とその評価技術に関する研究を行っています。またそれらのパラメータばらつきについても解析し、原因の追及を行っています。

② テーマ：デバイスモデリング

概要：特に PowerMOSFET のデバイスモデリングを中心に研究を行っています。PowerMOSFET はその高耐圧性のために、通常の MOSFET とはデバイス構造が異なります。その特有なデバイス構造の解析を含め、SPICE 用回路シミュレーションモデルの開発を行っています。

■研究テーマの応用例

上記の研究において開発されるモデルや抽出されるパラメータの値はデバイス構造に依存する部分もありますが、モデリングやパラメータ抽出において用いられる技法や評価技術等は、その他の先端微細デバイス解析や計測技術の精度向上にも有用であると考えます。

■主な著書、発表論文

- [1] K. Tsuji, K. Terada, R. Takeda, and H. Fujisaka, "Study on Threshold Voltage Evaluated by Charge-Based Capacitance Measurement," IEICE TRANS. ELECTRON., Vol.E99-C, No.4, pp.466-473, April. 2016.
- [2] K. Tsuji, K. Terada, and R. Kikuchi, "Development of Test Structure for Variability Evaluation using Charge-Based Capacitance Measurement," IEICE TRANS. ELECTRON., Vol.E97-C, No.11, pp.1117-1123, Nov. 2014.
- [3] Katsuhiko Tsuji and Kazuo Terada, "Comparison of Channel Length Extracted from Gate Capacitance with That Extracted from Channel Resistance," Proc. Int. Conf. on Microelectronic Test Structures, pp.87-91, (2014)
- [4] Katsuhiko Tsuji and Kazuo Terada, "Effective Channel Length Estimation Using Charge-Based Capacitance Measurement," Proc. Int. Conf. on Microelectronic Test Structures, pp.59-63, (2013)
- [5] K. Tsuji, K. Terada, M. Minami and K. Tanaka, "Extraction of effective LDMOSFET channel length and its application to the modeling," Proc. Int. Conf. on Microelectronic Test Structures, pp.81-84, (2000)

■想定される連携先

・半導体関連、電機関連、自動車電装関連など