
所 属 : 情報科学研究科 情報工学専攻 論理回路システム研究室
職・氏名 : 教 授 若林 真一
U R L : <http://www.lcs.info.hiroshima-cu.ac.jp/>
研究キーワード : 組合せ最適化、CAD/DA、FPGA、LSI 設計

■研究テーマ

① テーマ : VLSI レイアウト設計手法に関する研究

概要 : 近年の半導体技術の進展に伴い、超大規模集積回路 (VLSI) の設計は非常に困難になってきています。本研究では VLSI レイアウト設計に対する新しい手法の開発を目指しています。集積回路の微細化、大規模化への対応として PC クラスタ上やマルチコア CPU 上で実行する並列レイアウト設計手法の開発を行っています。また、複雑な組合せ最適化問題であるレイアウト設計を効率よく、かつ高品質に行うことを目的として、遺伝的アルゴリズムや並列シミュレーティドアニーリングに基づく設計手法を開発しています。

② テーマ : FPGA を用いた組合せ最適化問題の高速解法に関する研究

概要 : 工学分野における多くの問題は組合せ最適化問題として定式化されますが、その大半は最適解を効率よく見つけることが困難です。本研究では、新しいコンピューティングデバイスとして注目されているプログラム可能論理デバイス (FPGA) を利用して組合せ最適化問題の解を高速に求める研究を行っています。また、ストリングマッチングを高速に実行するハードウェア、およびストリングマッチングハードウェアに基づくネットワーク侵入検知システムについての研究も行っています。

■研究テーマの応用例

①のテーマについては、直接的には VLSI 設計ツールへの応用を目的としていますが、本研究で開発している手法は VLSI レイアウト設計と類似の性質を持つ他の多くの組合せ最適化問題に応用できます。例えば、VLSI レイアウト設計における配置手法は大きさが固定の金属板からいろいろな形状をもつ部品をできるだけ無駄なく切り取る問題などに応用できます。

②のテーマについては、テーマ自体が汎用目的であるため、ここで提案した手法は組合せ最適化問題として定式化される工学分野の各種の設計問題、解析問題、制御問題に応用可能です。また、ストリングマッチングハードウェアはデータベースにおける高速データ検索などにも応用可能であり、精力的に研究を行っています。

■主な著書、発表論文 (①、②の研究テーマに関連する最近の成果)

[1] Tomoaki Sato, Masato Inagi, Shinobu Nagayama, Shinichi Wakabayashi, A Parallel Simulated Annealing Algorithm for LSI Floorplanning Running on Multicore Processors, Proc. 24th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2009), pp. 851-854 (2009).

[2] 若葉陽一, 若林真一, 稲木雅人, 永山忍, シストリックアルゴリズムとNFAに基づくパターン非依存正規表現マッチングハードウェア, 信学論D, J96-D, 10, pp. 2139-2149 (2013).

■想定される連携先

電子設計自動化ツールの開発、LSI 設計・製造、FPGA を利用した機器開発、など。