
所 属 : 情報科学研究科 情報工学専攻 コンピュータデザイン研究室
職・氏名 : 教授 井上 智生、 准教授 市原 英行、 助教 岩垣 剛
U R L : <http://www.cd.info.hiroshima-cu.ac.jp/>
研究キーワード : 計算機支援設計 (CAD)、 設計自動化 (DA)、 論理設計、
FPGA、 テスト、 高信頼性、 ディペンダブルコンピューティング、
ストカスティックコンピューティング

■研究テーマ

① テーマ : 大規模集積回路／コンピュータシステムの設計とその自動化 (VLSI-CAD)

概要 : 半導体技術の進歩はめざましく、今日では、VLSI (大規模集積回路) は単にコンピュータ機器の部品として使われるだけでなく、家電製品や自動車の制御など、私たちの普通の生活に密接に関わるようになってきました。このような大規模で高性能、高機能な VLSI の設計には、コンピュータによる支援設計 (CAD: Computer-Aided Design) や設計自動化 (DA: Design Automation) の技術が必要不可欠です。一般に VLSI-CAD/DA では、面積、性能、消費電力などが考慮されますが、研究室では、VLSI の設計・製造から利用状況まで、VLSI の製品ライフサイクル全体の最適化を考えた設計、すなわち Design for X (DfX) を指向した CAD/DA を目指しています。例えば、製造容易化設計、テスト容易化設計、保守容易化設計などが挙げられます。さらに、FPGA や GPU を用いた VLSI-CAD の高速化 (ハードウェアアクセラレーション) にも取り組んでいます。

② テーマ : 高信頼システムの実現 - ディペンダブルコンピューティングシステム

概要 : 上述のように、コンピュータは家電製品や自動車などに組み込みシステムとして広く利用されるようになり、その役割は単に生活を便利にするだけでなく、経済や生命にも大きく関わるものとなっています。そのようなコンピュータシステムを信頼して安全に利用できる、すなわち「頼れる (ディペンダブル)」ものにするには、耐故障性やフェールセーフなどの設計が必要です。研究室では、小さい費用で設計可能な高信頼システムを設計するための手法を研究しています。具体的には、耐ソフトウェアを指向した高信頼設計、耐故障化システム合成法などの研究開発を行っています。また、FPGA を用いた安価で高信頼なシステムの実現も研究対象です。

③ テーマ : 新しい計算手法に基づくコンピュータシステム

概要 : コンピュータの用途が様々な領域に広がるにつれて、用途に応じてコンピュータの計算手法を見直す動きがでてきています。例えば、動画処理における計算処理では高精度な演算処理は必要ではない場合が多いため、数値を確率として表現し計算結果を期待値として得る計算手法 (ストカスティックコンピューティング) を用いることで、ノイズに強く高速で消費電力の小さいコンパクトなコンピュータを設計することができます。このように、研究室では新しい計算手法を用途に応じて利用したり新たに提案したりすることで、その用途に適したコン

コンピュータシステムの設計法を研究しています。具体的には、ストカスティックコンピューティングに基づく耐故障システムの設計法、エラートレラントアプリケーションのための論理簡単手法、非同期式回路・システムの設計とその応用、サイバーフィジカルコンピューティングのための適応型システム合成法などが挙げられます。

■研究テーマの応用例

・上に挙げた3つのテーマは、実際に使用されることを前提とした研究であるため、それぞれの研究成果はすぐにでも利用、応用可能です。特に、コンピュータシステムが生活のあらゆる場面で利用され、自動車や医療機器のようにそれらの故障が生命を脅かしたり、多大な金銭的損失を招いたりする今日においては、VLSIを構成要素とするコンピュータシステムのディペンダビリティに関する研究はとても重要となります。実際これまでに、テスト容易化設計、テストコスト削減法などに関する半導体メーカーからの受託研究や、工場などのノンストップ管理制御システムに関する技術交流を地元企業と行っています。これからも、現在の研究成果にとらわれることなく上記の3つのテーマに関連する様々な分野で貢献していきたいです。

・研究室の研究課題の基本は、設計対象を限定しない一般の「設計法」の提案です。この「設計法」は、システムを構成するVLSIやコンピュータなどを単に一つの部品として考えるのではなく、大きなシステムや組織の一部としてとらえる考え方・視点が重要と考えています。よって、既存の製品の信頼性と価格とのバランスの解析、評価から始まり、新たな製品作りに向けての、性能、信頼性、コストに関する最適設計への指針の提供や、そのための設計・生産方式／システムの構築について貢献できると思います。

■主な発表論文

- [1] H. Ichihara, M. Fukuda, T. Iwagaki and T. Inoue, "State assignment for fault tolerant stochastic computing with linear finite state machines," Proc. 1st IEEE International Test Conference in Asia, 6 pages, Sept. 2017. (to appear)
- [2] T. Iwagaki, K. Itani, H. Ichihara and T. Inoue, "Exploration of four-phase dual-rail asynchronous RTL design for delay-robustness," Digest of Papers 17th IEEE Workshop on RTL and High Level Testing, 6 pages, Nov. 2016.
- [3] H. Ichihara, M. Fukuda, T. Iwagaki and T. Inoue, "Impact of state assignment on error resilient stochastic computing with linear finite state machines," Digest of Papers 17th IEEE Workshop on RTL and High Level Testing, 6 pages, Nov. 2016.
- [4] N. Kubota, H. Ichihara, T. Iwagaki and T. Inoue, "Stochastic number generation with internal signals of logic circuits," Proc. 20th Workshop on Synthesis and System Integration of Mixed Information Technologies, 2 pages, Oct. 2016
- [5] H. Ichihara, T. Sugino, S. Ishii, T. Iwagaki and T. Inoue, "Compact and accurate digital filters based on stochastic computing," IEEE Trans. on Emerging Topics in Computing," Sept. 2016.
- [6] T. Iwagaki, S. Ohmoto, H. Ichihara and T. Inoue, "A prototype of a hardware SAT solver for similar large instances and its application to test generation," Digest of Papers 16th IEEE Workshop on RTL and High Level Testing, 5 pages, Nov. 2015.

- [7] H. Ichihara, T. Inaoka, T. Iwagaki and T. Inoue, “Logic simplification by minterm complement for error tolerant application,” Proc. IEEE International Conference on Computer Design, pp. 94–100, Oct. 2015.
- [8] T. Iwagaki, Y. Ishimori, H. Ichihara and T. Inoue, “Designing area-efficient controllers for multi-cycle transient fault tolerant systems,” Proc. 20th IEEE European Test Symposium, 2 pages, May 2015.
- [9] H. Ichihara, J. Kamei, T. Iwagaki and T. Inoue, “A practical approach for logic simplification based on fault acceptability for error tolerant application,” Proc. 20th IEEE European Test Symposium, 2 pages, May 2015.
- [10] Y. Fukazawa, H. Ichihara and T. Inoue, “A fault tolerant response analyzer with self-error-correction capability,” Proc. 20th IEEE European Test Symposium, 2 pages, May 2015.
- [11] T. Iwagaki, Y. Ishimori, T. Nakaso, H. Ichihara and T. Inoue, “A controller design in high-level synthesis for long duration transient fault tolerance,” Digest of Papers 15th IEEE Workshop on RTL and High Level Testing, 6 pages, Nov. 2014.
- [12] H. Ichihara, S. Ishii, D. Sunamori, T. Iwagaki and T. Inoue, “Compact and accurate stochastic circuits with shared random number sources,” Proc. IEEE International Conference on Computer Design, pp. 361–366, Oct. 2014.

■主な特許

- [1] シャープ株式会社. 口井敏匡, 市原英行. 欠陥検出装置, イメージセンサデバイス, イメージセンサモジュール, 画像処理装置, デジタル画像品質テスト, 欠陥検出方法, 欠陥検出プログラム, およびコンピュータ読取可能な記録媒体, 特許第 4657869 号. 2007-4-12.
- [2] シャープ株式会社. 五十殿宏二, 市原英行. 論理回路テスト装置及び論理回路テスト方法. 特許第 4133172 号. 2004-4-15.
- [3] 松下電器産業株式会社. 細川利典, 井上智生, 藤原秀雄. 検査容易化設計方法. 特許第 3117676 号. 2001-10-6.
- [4] Matsushita Electric Industrial Co., Ltd. T. Hosokawa, T. Inoue, H. Fujiwara. Method of design for testability and method of test sequence generation. Patent No. 132702 (台湾) . 2001-9-19
- [5] Matsushita Electric Industrial Co., Ltd. T. Hosokawa, T. Inoue, H. Fujiwara. Method of design for testability and method of test sequence generation. U.S. Patent 6292915. 2001-9-18.
- [6] 松下電器産業株式会社. 細川利典, 井上智生, 藤原秀雄. 検査系列生成方法. 特許第 3059424 号. 2001-4-21.

■想定される連携先

- ・半導体製造メーカー、VLSI-CAD ベンダ
- ・高信頼システム／組込みシステム設計メーカー